

## EXERCICES DIRIGES

### PRINCIPES DES MEMOIRES CACHES

#### Corrigés

#### Exercice 1

##### 1.1)

Entrée du cache en bits = 1 (bit validation) + n bits (étiquette) + m bits (donnée) = 1 + n + 32 bits

La taille de l'étiquette se déduit de celle de l'index et de celle de l'adresse :

$$\text{taille étiquette (n)} = \text{taille de l'adresse en bits} - \text{nb bits /octet} - \text{nb bits /mot} - \text{nb bits /index}$$

La taille de l'index est fonction du nombre d'entrées du cache.

nbre entrées du cache = taille des données utiles en octets / taille d'une entrée en donnée utile en octets =  $4 * 1024 \text{ octets} / 4 \text{ octets} = 1024 \text{ entrées} = 2^{10} \text{ entrées}$

La taille de l'index est donc de 10 bits.

Les mots sont composée de 4 octets : nb bits /octet = 2

Les blocs sont de 1 mot : nb bits/ mot = 0

$$\text{taille étiquette (n)} = 32 - 2 - 0 - 10 = 20 \text{ bits}$$

Entrée du cache en bits = 1 + 20 + 32 = 53 bits

Taille du cache = 53 \* 1024 = 53 Kbits.

##### 1.2)

Entrée du cache en bits = 1 (bit validation) + n bits (étiquette) + m bits (donnée) = 1 + n + (4 \* 128) bits

La taille de l'étiquette se déduit de celle de l'index et de celle de l'adresse :

$$\text{taille étiquette (n)} = \text{taille de l'adresse en bits} - \text{nb bits /octet} - \text{nb bits /mot} - \text{nb bits /index}$$

La taille de l'index est fonction du nombre d'entrées du cache.

nbre entrées du cache = taille des données utiles en octets / taille d'une entrée en donnée utile en octets =  $512 * 1024 \text{ octets} / 4 * 16 \text{ octets} = 2^{13} \text{ entrées}$

La taille de l'index est donc de 13 bits.

Les mots sont composés de 16 octets : nb bits /octet = 4

Les blocs sont de 4 mots : nb bits/ mot = 2

La taille de l'adresse est fonction du nombre d'octets adressable en MC : la mémoire centrale a une capacité de 256 M mots de 128 bits =  $2^8 * 2^{20} * 2^4 = 2^{32}$  octets: l'adresse est sur 32 bits.

$$\text{taille étiquette (n)} = 32 - 4 - 2 - 13 = 13 \text{ bits}$$

Entrée du cache en bits = 1 + 13 + (4 \* 128) = 526 bits

Taille du cache = 526 \*  $2^{13}$  = 4208 Kbits.

**Exercice 2**

**2.1)** Taille utile d'une entrée du cache : 16 octets =  $2^4$  octets => taille de l'offset : **4 bits**

Nombre d'entrées du cache :  $16 = 2^4$  => taille de l'index : **4 bits**

Taille d'une adresse = taille de l'étiquette + taille de l'index + taille de l'offset

D'où taille de l'étiquette = taille de l'adresse - taille de l'index - taille de l'offset =  $16 - 4 - 4 =$  **8 bits**

**2.2)**

- LOAD D R1 0400

Étiquette	L'Index	Offset
04	0	0

Il y a défaut sur le cache car l'entrée d'index 0 ne contient aucune donnée chargée.

- LOAD D R1 0832

Étiquette	L'Index	Offset
08	3	2

Il y a défaut sur le cache car l'entrée d'index 3 ne contient aucune donnée chargée.

- LOAD D R1 0408

Étiquette	L'Index	Offset
04	0	8

Il y a succès sur le cache car l'entrée d'index 0 a été chargée avec des données et l'étiquette pour cette entrée est égale à 04.

- LOAD D R1 0503

Étiquette	L'Index	Offset
05	0	3

Il y a défaut (par collision) sur le cache car l'entrée d'index 0 a été chargée avec des données et l'étiquette pour cette entrée est égale à 04 ce qui est différent de 05. Donc le mot d'étiquette 05 est chargé dans l'entrée 0 du cache.

- LOAD D R1 0836

Étiquette	L'Index	Offset
08	3	6

Il y a succès sur le cache car l'entrée d'index 3 a été chargée avec des données et l'étiquette pour cette entrée est égale à 08.

- LOAD D R1 0400

Étiquette	L'Index	Offset
04	0	0

Il y a défaut (par collision) sur le cache car l'entrée d'index 0 a été chargée avec des données et l'étiquette pour cette entrée est égal à 05 ce qui est différent de 04. Donc le mot d'étiquette 04 est chargé dans l'entrée 0 du cache.

### Exercice 3

**Question 1/** Chaque bloc contient 16 octets. Il faut donc 4 bits pour désigner chacun de ces octets. L'adresse étant sur 8 bits, il reste 4 bits d'étiquette.

### Question 2/

#### FIFO

temps	0	1	2	3	4	5	6	7	8
adresse	0F	1F	3A	0D	1E	44	0B	32	17
ligne 1	<b>0000</b>	0000	0000	0000	0000	<b>0100</b>	0100	0100	0100
ligne 2		<b>0001</b>	0001	0001	0001	0001	<b>0000</b>	0000	0000
ligne 3			<b>0011</b>	0011	0011	0011	0011	0011	<b>0001</b>
défaut	X	X	X			X	X		X

#### LRU

temps	0	1	2	3	4	5	6	7	8
adresse	0F	1F	3A	0D	1E	44	0B	32	17
ligne 1	<b>0000</b>	0000	0000	0000	0000	0000	0000	0000	0000
ligne 2		<b>0001</b>	0001	0001	0001	0001	0001	<b>0011</b>	0011
ligne 3			<b>0011</b>	0011	0011	<b>0100</b>	0100	0100	<b>0001</b>
défaut	X	X	X			X		X	X