

---

**EXERCICES DIRIGES**  
**Gestion de la mémoire centrale**

**Exercice 1****Question 1**

Décrivez les structures de tables mises en œuvre pour un espace d'adressage de processus segmenté et paginé.

**Question 2**

Décrivez sous forme algorithmique les opérations réalisées lors d'un accès à une adresse virtuelle de type <numéro de segment, numéro de page, déplacement dans la page>

---

**Exercice 2****Question 1**

Soit la liste des pages virtuelles référencées aux instants  $t = 1, 2, \dots, 11$  dans le segment de code d'un processus.

3 5 6 8 3 9 6 12 3 6 10

La mémoire centrale est composée de 4 cases initialement vides.

Représentez l'évolution de la mémoire centrale au fur et à mesure des accès pour chacune des deux politiques de remplacement de pages FIFO et LRU. Notez les défauts de pages éventuels

**Question 2 (tirée de système d'exploitation Schaum's)**

Sur un système qui a recours à la mémoire paginée à la demande, il faut 200 ns pour satisfaire une requête mémoire si la page est en mémoire. Si tel n'est pas le cas, la requête prend 7 ms si un cadre libre est disponible ou si la page à extraire n'a pas été modifiée. Il faut par contre 15 ms si la page à extraire a été modifiée. Quel est le temps d'accès effectif si le taux de défaut de page est de 5 % et que, 60 % du temps, la page à remplacer a été modifiée

---

**Exercice 3**

On considère une mémoire segmentée paginée pour laquelle les cases en mémoire centrale sont de 4Ko. La mémoire centrale compte au total 15 cases numérotées de 1 à 15. Dans ce contexte, on considère deux processus A et B. Le processus A a un espace d'adressage composé de trois segments S1A, S2A et S3A qui sont respectivement de 8 Ko, 12 Ko et 4 Ko. Le processus B a un espace d'adressage composé de deux segments S1B et S2B qui sont respectivement de 16 Ko et 8 Ko. Pour le processus A, seules les pages 1 et 2 du segment S1A, la page 2 du segment S2A et la page 1 du segment S3A sont chargées en mémoire centrale respectivement dans les cases 4, 5, 10, 6. Pour le processus B, seules les pages 2 et 3 du segment S1B et la page 1 du segment S2B sont chargées en mémoire centrale respectivement dans les cases 11, 2 et 15.

---

-

**Question 1**

Représentez sur un dessin les structures allouées (table des segments, tables des pages) et la mémoire centrale correspondant à l'allocation décrite.

**Question 2**

Dans ce contexte, donnez pour chacune des adresses linéaires ci-dessous, son équivalent en adresse virtuelle, puis son adresse physique correspondante.

- (a) 4098 pour le processus A
  - (b) 12292 pour le processus A
  - (c) 8212 pour le processus B
- 

**Exercice 4**

On considère un système fonctionnant selon le principe de la mémoire virtuelle. L'espace d'adressage des processus est paginé. Les pages des processus sont chargées à la demande c'est-à-dire seulement lorsque le processus demande à accéder à la page. Lors d'un défaut de page, une opération d'entrées-sorties est lancée qui coûte 10 ms par page à charger.

Soient les trois processus P1, P2 et P3 dont les espaces d'adressages sont respectivement composés de 3, 3 et 2 pages. Les 3 processus sont tous les 3 prêts à l'instant  $t = 0$ . L'ordonnancement sur le processeur est un ordonnancement par priorité préemptif. Le processus P1 est le processus le plus prioritaire et le processus P3 est le processus le moins prioritaire.

Le comportement des processus est le suivant:

- P1    Calcul utilisant la page 1 pendant 20 ms;  
      Calcul utilisant la page 2 pendant 10 ms;  
      Calcul utilisant la page 1 et la page 2 pendant 30 ms;  
      Calcul utilisant la page 3 pendant 30 ms.
  
- P2    Calcul utilisant la page 1 et la page 2 pendant 40 ms;  
      Calcul utilisant la page 1 et la page 3 pendant 20 ms;  
      Calcul utilisant la page 1, la page 2 et la page 3 pendant 50 ms.
  
- P3    Calcul utilisant la page 1 pendant 20 ms;  
      Calcul utilisant la page 2 pendant 20 ms.

Établissez le chronogramme d'exécution des 3 processus en figurant les états prêt, élu, et bloqué c'est-à-dire en opération d'entrées-sorties pour défaut de page.

---

**Exercice 5**

On considère une mémoire pour laquelle les cases en mémoire centrale sont de 1 Ko. La mémoire centrale compte au total pour l'espace utilisateur 20 cases numérotées de 1 à 20. Dans ce contexte, on considère trois processus A, B et C. Le processus A a un espace d'adressage segmenté et paginé composé de deux segments S1 et S2, découpé chacun en trois pages. Le processus B a un espace d'adressage composé de 2 segments également, l'un formé d'une page et le second formé de trois pages. Le processus C a un espace d'adressage formé de un segment de 2 pages, P1 et P2. Pour le processus A, seules la page P1 du segment 1, les

pages 2 et 3 du segment 2 sont chargées en mémoire centrale respectivement dans les cases 2, 4, 1. Pour le processus B, seule la page 1 du segment 1 est chargée en mémoire centrale dans la case 5. Pour le processus C, seule la page P2 est chargée en mémoire centrale dans la case 12.

### Question 1

Représentez sur un dessin les structures allouées pour ce type d'allocation mémoire et la mémoire centrale correspondant à l'allocation décrite.

### Question 2

Les 3 processus A, B et C sont décrits par un bloc de contrôle qui contient en outre les informations suivantes :

Pour le processus A, compteur ordinal CO = (segment 2, page P2, déplacement 16),  
adresse table des pages = 128 ;

Pour le processus B, compteur ordinal CO = (segment 2, page P1, déplacement 512),  
adresse table des pages = 256 ;

Pour le processus C, compteur ordinal CO = (segment 1, page P1, déplacement 32),  
adresse table des pages = 512;

Le compteur ordinal CO contient l'adresse de l'instruction à exécuter.

a/ Le processus A devient actif. Décrivez le processus de conversion d'adresse pour l'instruction exécutée à sa reprise. Quelle valeur contient le registre PTBR ? Quelle adresse physique correspond à l'adresse virtuelle de l'instruction exécutée ?

b/ Maintenant le processus A est préempté et le processus B est élu. Décrivez succinctement l'opération de commutation de contexte qui a lieu notamment en donnant les nouvelles valeurs des registres CO et PTBR. Que se passe-t-il lorsque le processus B reprend son exécution ?

c/ Chaque entrée de table des pages contient un champ de bits permettant de spécifier les droits d'accès associés à une page. Ce champ est composé de trois bits x, r, w avec la signification suivante :

x : 0 pas de droit en exécution sur la page, 1 droit en exécution accordé

r : 0 pas de droit en lecture sur la page, 1 droit en lecture accordé

w : 0 pas de droit en écriture sur la page, 1 droit en écriture accordé

Ce champ « droit » à la valeur 010 pour la page 1 du segment 1 du processus A. Le processus A exécute l'instruction STORE R1 (segment 1, page P1, déplacement 128) qui effectue l'écriture du contenu du registre processeur R1 à l'adresse (segment 1, page P1, déplacement 128). Que se passe-t-il ?